

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-046787

(43)Date of publication of application : 14.02.1997

(51)Int.Cl.

H04R 3/00
// H03M 1/82

(21)Application number : 07-193005

(71)Applicant : NIPPON TELEGR & TELEPH CORP
<NTT>

(22)Date of filing : 28.07.1995

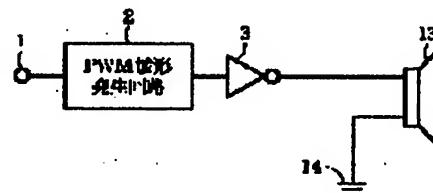
(72)Inventor : MATSUTANI YASUYUKI

(54) LOUDSPEAKER DRIVING CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To operate a circuit without permitting a large current to flow and to directly apply a digital signal by inputting the signal to a loudspeaker via a pulse width modulation(PWM) waveform generation circuit and an inverter.

SOLUTION: One terminal of the loudspeaker 13 is grounded 14, and the other terminal is connected to the output of a first inverter 3. Moreover, the input of the first inverter 3 is connected to the output of the PWM waveform generation circuit 2, and a digital value in accordance with loudspeaker output is inputted from an input terminal 1 to the PWM waveform generation circuit 2. When a PWM waveform is outputted from the first inverter 3, an output impedance is extremely lowered. In this way, since the loudspeaker 13 is driven with a low impedance, the loudspeaker is driven without permitting the large current to flow on the inverter 3, which makes a loudspeaker driving circuit into low power consumption. Moreover, an audio signal is fetched from the loudspeaker 13 by directly inputting the digital signal to a PWM waveform generator 2 without providing a D/A converter.



LEGAL STATUS

[Date of request for examination] 10.03.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3185963

[Date of registration] 11.05.2001

[Number of appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-46787

(43) 公開日 平成9年(1997)2月14日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I.	技術表示箇所
H 0 4 R 3/00	3 1 0		H 0 4 R 3/00	3 1 0
// H 0 3 M 1/82			H 0 3 M 1/82	

審査請求 未請求 請求項の数 2 O L (全 5 頁)

(21) 出願番号 特願平7-193005

(22) 出願日 平成7年(1995)7月28日

(71) 出願人 000004226

日本電信電話株式会社

東京都新宿区西新宿三丁目19番2号

(72) 発明者 松谷 康之

東京都千代田区内幸町1丁目1番6号 日

本電信電話株式会社内

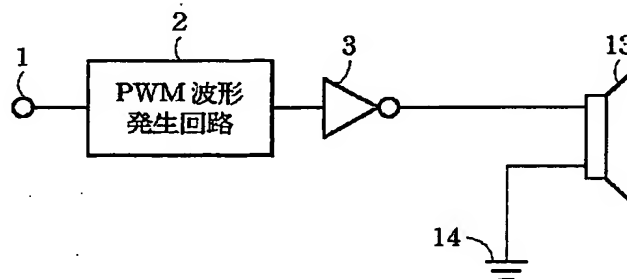
(74) 代理人 弁理士 小林 将高

(54) 【発明の名称】 スピーカ駆動回路

(57) 【要約】

【課題】 大電流を流すことなく、かつD/A変換器を必要としないスピーカ駆動回路を得る。

【解決手段】 スピーカ13の一方端子が接地14され、他方端子に第1のインバータ3の出力が接続され、第1のインバータ3の入力にPWM波形発生回路2の出力を接続し、このPWM波形発生回路2の入力に入力端子1からデジタル信号を印加する構成を特徴としている。



1 入力端子 13 スピーカ
3 第1のインバータ 14 接地

【特許請求の範囲】

【請求項1】 スピーカの一方端子を接地し、他方端子に第1のインバータの出力を接続し、この第1のインバータの入力にPWM波形発生回路の出力を接続し、このPWM波形発生回路の入力にデジタル信号を入力することを特徴とするスピーカ駆動回路。

【請求項2】 スピーカの一方端子に第1のインバータの出力を接続し、他方端子に第2のインバータの出力を接続し、前記第1のインバータの入力にPWM波形発生回路の出力を接続し、前記第2のインバータの入力に第3のインバータの出力を接続し、この第3のインバータの入力に前記PWM波形発生回路の出力を接続し、このPWM波形発生回路の入力にデジタル信号を入力することを特徴とするスピーカ駆動回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、D/A変換器等の音声出力を伴う回路において、スピーカ駆動回路を簡素化する回路構成を提供するものである。

【0002】

【従来の技術】 従来、スピーカは図7に示すように、増幅器により駆動されていた。図7において、12はボルテージホロワの増幅器で、入力端子11から入力が行われる。13はスピーカで、その一方端子は接地14され、他方端子は、増幅器12の出力に接続されている。図7において、入力端子11にアナログ信号を印加すると、入力抵抗が非常に大きく、出力抵抗が非常に小さい増幅器12によってアナログ信号は増幅され、スピーカ13を駆動する。

【0003】 一般にスピーカ13の入力インピーダンスは4Ωから32Ωと低いため、出力インピーダンスが低く負荷駆動能力の高い特別な増幅器12が必要とされた。ところがCMOS増幅器出力トランジスタは図8に示すトランジスタ特性の飽和領域で動作する。

【0004】 図8において、 I_{sd} はソース・ドレイン電流、 V_{sd} はソース・ドレイン電圧、 V_{sg} はソース・ゲート電圧であり、図8はソース・ゲート電圧 V_{sg} をパラメータとしてソース・ドレイン電圧 V_{sd} に対するソース・ドレイン電流 I_{sd} の特性を示す。図8のI-V特性が示すように、飽和領域でのトランジスタ特性のドレインコンダクタンス(g_d) (I-V特性の傾き)は小さく、 g_d の逆数であるトランジスタの出力インピーダンスは大きい。この出力インピーダンスを低くするためには飽和領域で動作している増幅器12中の出力回路のトランジスタに大電流を流す必要があり、図7のような従来のスピーカ駆動回路では、消費電流が大きくなる欠点があった。またデジタル信号をアナログ信号に変換してスピーカに出力する機器に適用する場合、デジタル信号を一度、アナログ信号に変換してから図7に示す回路の入力端子11に入力してスピーカ13を

駆動しなければならず、D/A変換器が必要となる欠点を有していた。

【0005】 図9は、スピーカを差動で駆動する場合の従来の回路例である。図7の接地14側に相当する端子に利得1の増幅器15、抵抗器16、17から成る反転増幅器の出力を接続し、その入力を入力端子11に接続したものである。これによりスピーカ13の両端子に差動の信号を印加するものである。この回路は図7の従来例と全く同一の欠点を有する。

【0006】

【発明が解決しようとする課題】 上述したように、従来の図7に示す回路では飽和領域で動作させるためにトランジスタに大電流を流す必要があり、また、デジタル信号を直接、印加することはできず、一旦D/A変換器によりアナログ信号に変換する必要があった。

【0007】 また、図9に示す差動型の場合も、図7に示す回路と同様の欠点は避けられなかった。

【0008】 本発明の目的は、大電流を流すことなく作動可能で、かつ、デジタル信号を直接印加することができるスピーカ駆動回路を提供することにある。

【0009】

【課題を解決するための手段】 本発明にかかるスピーカ駆動回路は、スピーカの1次側巻線の一方端子を接地し、他方端子に第1のインバータの出力を接続し、この第1のインバータの入力にPWM(パルス幅変調)波形発生回路の出力を接続し、このPWM波形発生回路の入力にデジタル信号を入力するようにしたものである。

【0010】 また、スピーカの一方端子に第1のインバータの出力を接続し、他方端子に第2のインバータの出力を接続し、第1のインバータの入力にPWM波形発生回路の出力を接続し、第2のインバータの入力に第3のインバータの出力を接続し、第3のインバータの入力にPWM波形発生回路の出力を接続し、このPWM波形発生回路の入力にデジタル信号を入力するようにしたものである。

【0011】

【作用】 本発明においては、PWM波形発生回路に入力端子からデジタル信号を印加すると、PWM波形発生回路でアナログ信号に変換され、これによりスピーカが駆動される。

【0012】

【実施例】

【実施例1】 図1は、本発明の第1の実施例を示す回路図である。スピーカ13の一方端子を接地14し、他方端子を第1のインバータ3の出力に接続する。さらに、第1のインバータ3の入力をPWM波形発生回路2の出力に接続し、PWM波形発生回路2にスピーカ出力に対応したデジタル値を入力端子1から入力する構成である。

【0013】 図2は、図1のより具体的な回路構成を示

す。図2において、第1のインバータ3は、PMOSTランジスタ31とNMOSTランジスタ32から成る簡単なCMOSインバータ回路で構成されている。なお、33は電源を示す。

【0014】図3に、入力デジタル値2bitに対するPWM出力波形の例を示した。すなわち、図3では1サンプリング時間のビット数を8ビットとし、2ビットのデジタル信号00, 01, 10, 11が入力されたとき、PWM波形発生回路2から出力される波形が図示のように幅のみが次第に大きくなっていることが示されている。なお、D-Clockはデジタルクロック、P-S-Clockはプリセットクロックを示す。

【0015】PWM波形は電圧軸方向には接地レベルと電源電圧レベルの2つのみを有するパルス波形であり、入力デジタルコードに対応してパルス幅を変化させる波形である。この波形を第1のインバータ3から出力した場合、インバータ出力が電源電圧レベルの時はPMOSTランジスタ31のソースとドレイン間の電圧がほぼ0Vとなり、PMOSTランジスタ31は、図8に示した非飽和領域で動作するため出力インピーダンスは非常に低くなる。また、インバータ出力が接地レベルの時は、NMOSTランジスタ32のソースとドレイン間の電圧がほぼ0Vとなり、NMOSTランジスタ32は非飽和領域で動作するため出力インピーダンスは非常に低くなる。このようにPWM波形と第1のインバータ3を用いることによりスピーカ13を低インピーダンスで駆動可能となる。このためP、NMOSTランジスタ31、32には大きな電流を流さなくともスピーカを駆動可能となり、スピーカ駆動回路を低電力化することが可能となる。さらに、ノイズシェーピング回路などを用いて、デジタル音声信号を1から3bit程度のデジタル信号に変換した場合、デジタル信号を直接PWM波形発生器2に入力することによりD/A変換器なしで、スピーカ13から音声信号を取り出すことが出来る。

【0016】なお、サンプリング周期は、例えば1MHz～10MHz、ビット数は2～4ビットである。また、スピーカとしてはボイスコイル型、コンデンサ型等各種のものを採用できる。また、通常、ノイズシェーピング回路を通してから入力端子1にデジタル信号を入力する。

【0017】〔実施例2〕図4は、本発明の第2の実施例を示す回路図である。図1に示す実施例1の接地14側の端子に第2のインバータ4の出力を接続し、第2のインバータ4の入力に第3のインバータ5の出力を接続し、第3のインバータ5の入力をPWM波形発生回路2の出力に接続する構成としている。動作は図1、図2の実施例と同様であるが、スピーカ13の両端子を差動のPWM信号で駆動する構成としたことにより、同相雑音成分を打ち消し、雑音低減を図った。

【0018】図5は、図4のより具体的な回路図であり、第2のインバータ4は第1のインバータ3と同様、簡単なCMOSインバータ回路で構成可能である。すなわち、41はPMOSTランジスタ、42はNMOSTランジスタ、43は電源である。第3のインバータ5が入っているため、第1のインバータ3と第2のインバータ4は差動的に働く。

【0019】図6に、PWM波形発生回路2の入力が2bitのときの回路例を示す。この回路は、図3に示すPWM波形を発生する回路である。入力デジタル値をデコードし、デコードした値をパラレルシリアル変換し、これをシフト回路で出力することにより簡単にPWM波形を発生可能である。

【0020】図6において、21はデコーダ、22はプリセット・クロックの入力端子、23はデジタルクロックの入力端子、24はPWM波形の出力端子、25は“1”の入力端子、26は“0”の入力端子、27は“0”の入力端子であり、FF1～FF4、FF11～FF14はフリップフロップで、シフト回路を構成している。各フリップフロップ中のPはプリセット端子、P-Cはプリセットクロックの入力端子、Dは入力端子、Qは出力端子、Cはクロック端子である。

【0021】その動作を説明すると、図3に示すプリセットクロックP-S-Clockの“1”のタイミングでフリップフロップFF1～FF4およびFF11～FF14は、デコーダ21および入力端子25～27のデータを入力端子Qにプリセットする。

【0022】次に、デジタルクロックD-Clockの各立ち上りのタイミングにおいてFF1→FF2→FF3→FF4→FF11→FF12→FF13→FF14の順にシリアルに各フリップフロップの内容を逐次伝達していく動作を行う。これによりフリップフロップFF1～FF4にパラレルに与えられたデコーダ出力および入力端子25～27のデータを入力端子24において、シリアルな波形に変換することができる。このときパラレルに与えるデータをあらかじめ図3の“00”から“11”のPWM波形が出力されるように、プリセット端子Pに与えるデータをデコードしておけば、容易に図3に示すPWM波形が出力端子24に出力される。

【0023】

【発明の効果】本発明は以上詳細に述べたように、スピーカの一方端子を接地し、他方端子に第1のインバータの出力を接続し、この第1のインバータの入力にPWM波形発生回路の出力を接続し、このPWM波形発生回路の入力にデジタル信号を入力するようにしたので、増幅器が不要となり、簡単なCMOSインバータでスピーカが駆動可能となる長所を有している。このため、従来技術ではスピーカ駆動のためには増幅器に大電流を流す必要があったが、本発明を用いると大電流を流す必要がなく、スピーカ駆動回路の低電力化が可能となる長所を

有している。さらに増幅器を構成するためには位相補償を行うための容量素子が必要となり、LSI製造工程で容量製造工程が必要となるが、本発明を用いると容量素子は不必要となり、通常のLSI製造工程で製造可能となる長所を有している。

【0024】また、本発明は、スピーカの方端子に第1のインバータの出力を接続し、他方端子に第2のインバータ出力を接続し、第1のインバータの入力にPWM波形発生回路の出力を接続し、第2のインバータの入力に第3のインバータの出力を接続し、第3のインバータの入力にPWM波形発生回路の出力を接続し、このPWM波形発生回路の入力にデジタル信号を入力するようにしたので、上記利点に加え、スピーカは差動のPWM信号で駆動されるため、同相雑音成分が打消され、雑音低減ができる効果を奏する。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示す回路図である。

【図2】図1の実施例のより具体的な回路例を示す図である。

【図3】本発明で用いるPWM波形例を示す図である。

【図4】本発明の第2の実施例を示す回路図である。

【図5】図4の実施例のより具体的な回路例を示す図で

ある。

【図6】本発明で用いるPWM波形発生回路例を示す図である。

【図7】従来のスピーカ駆動回路の例を示す図である。

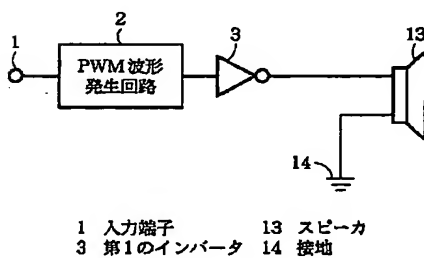
【図8】CMOS増幅器出力トランジスタの電流・電圧特性図である。

【図9】従来のスピーカ駆動回路の差動型の例を示す図である。

【符号の説明】

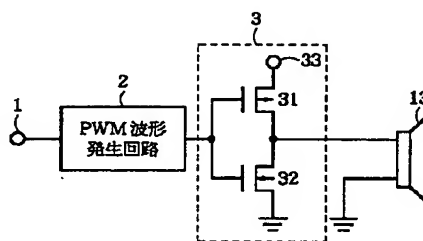
- 1 入力端子
- 2 PWM波形発生器
- 3 第1のインバータ
- 4 第2のインバータ
- 5 第3のインバータ
- 13 スピーカ
- 14 接地
- 31 PMOSTランジスタ
- 32 NMOSTランジスタ
- 33 電源
- 41 PMOSTランジスタ
- 42 NMOSTランジスタ
- 43 電源

【図1】



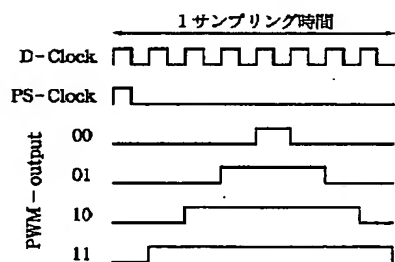
1 入力端子 13 スピーカ
3 第1のインバータ 14 接地

【図2】

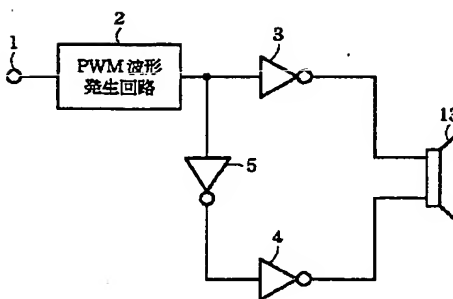


31 PMOSTランジスタ
32 NMOSTランジスタ
33 電源

【図3】

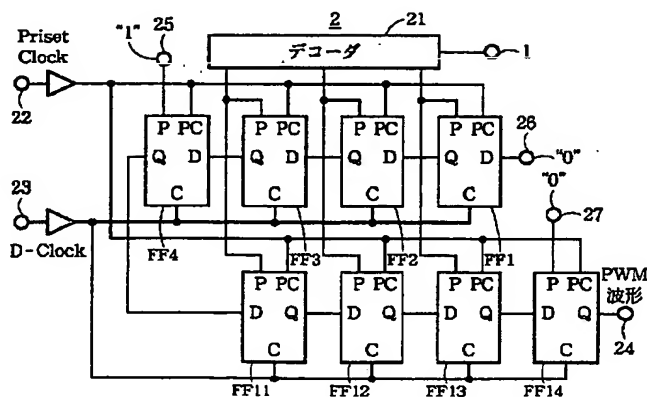


【図4】

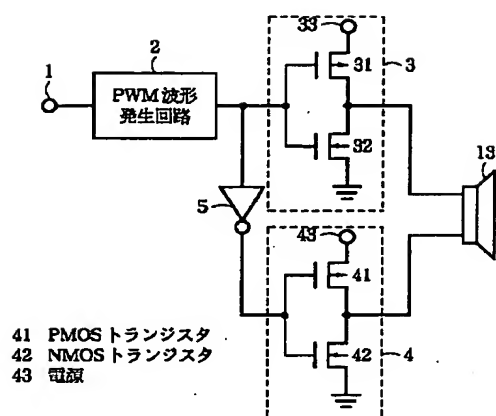


4 第2のインバータ
5 第3のインバータ

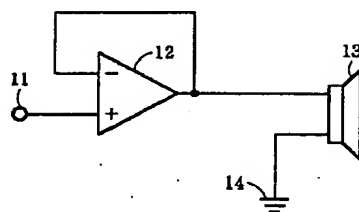
【図6】



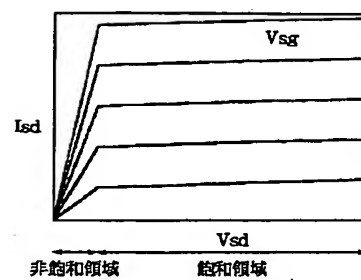
【図5】



【図7】



【図8】



【図9】

